

EVALUATION

COMBINATOIRE - REGISTRES

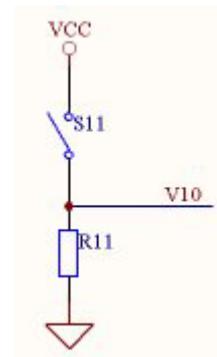
Durée : 1 heure - Toutes les réponses doivent être justifiées en faisant référence aux lignes des tables de vérité et/ou au schéma structurel.

La structure étudiée et présentée à la page 2 permet de transmettre des états logiques issus de modules à contacts (dip-switch) -S1 à S4- par liaison série synchrone.

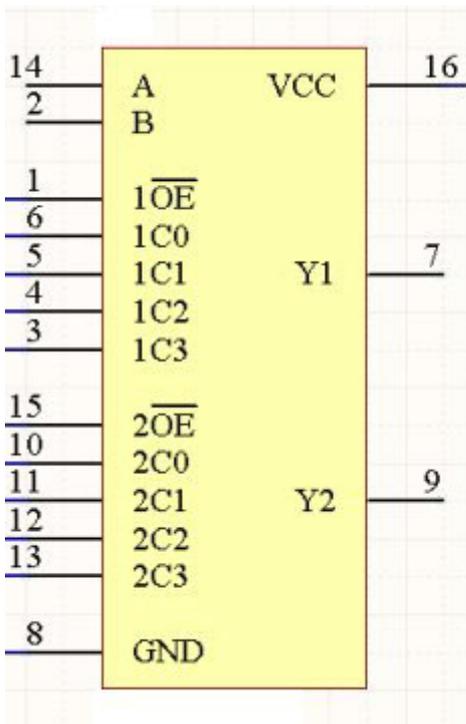
Question 1:

On peut simplifier la structure centrée autour d'un interrupteur de dip-switch de la manière suivante :

Donner pour chaque état de S11, l'état logique de V10. On demande une explication qui repose sur l'analyse de la maille électrique (on considère que VCC=NL1 et GND=NL0).



Question 2 : On souhaite rendre valide les sorties P0 à P3. En vous aidant



Function Table

Select Inputs		Data Inputs				Strobe	Output
B	A	C0	C1	C2	C3	/OE	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

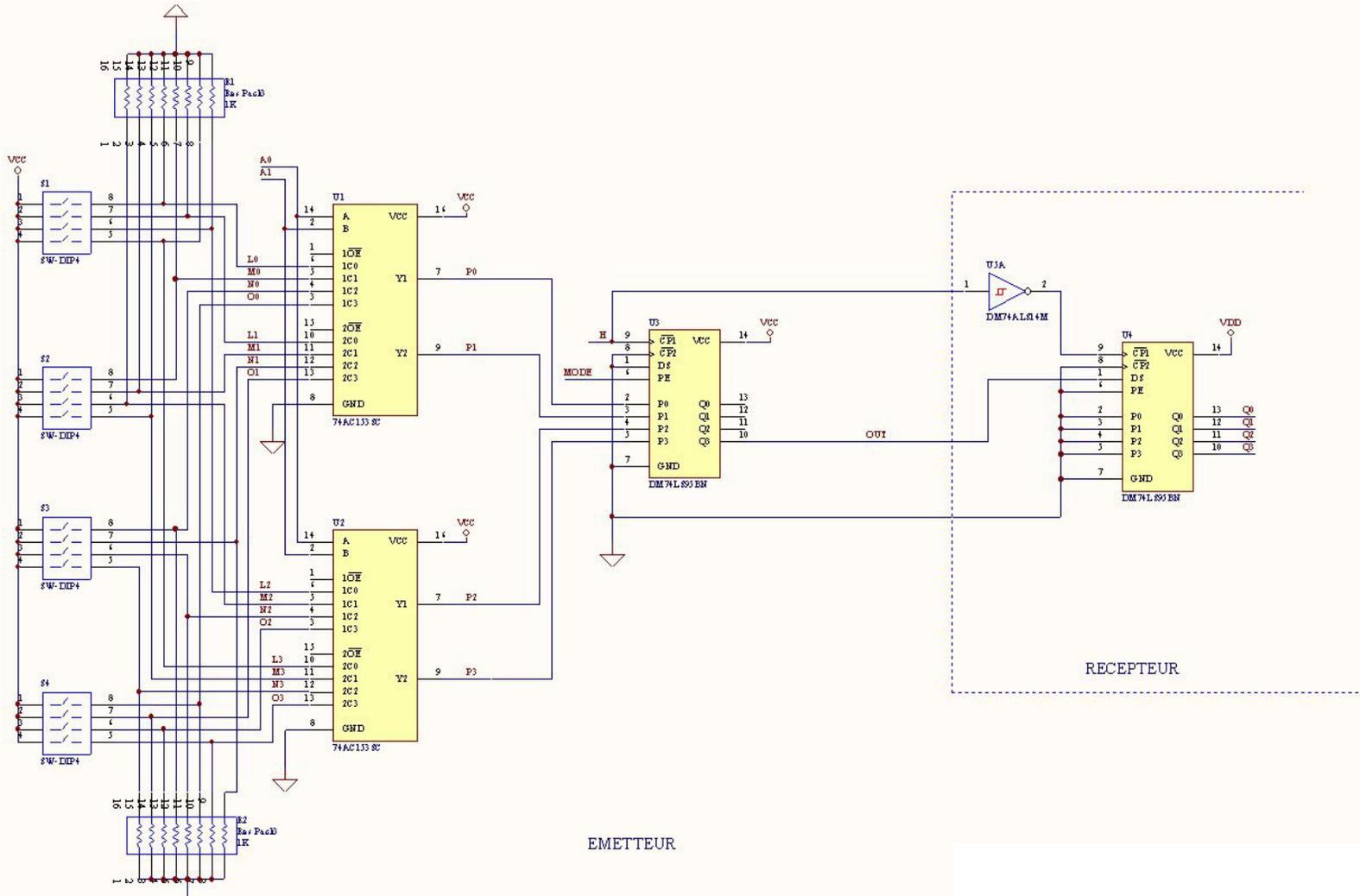
Select inputs A and B are common to both sections.
H - High Level, L - Low Level, X - Don't Care

de la table de vérité du circuit 74153, définir l'état logique des entrée /OE. Compléter le schéma

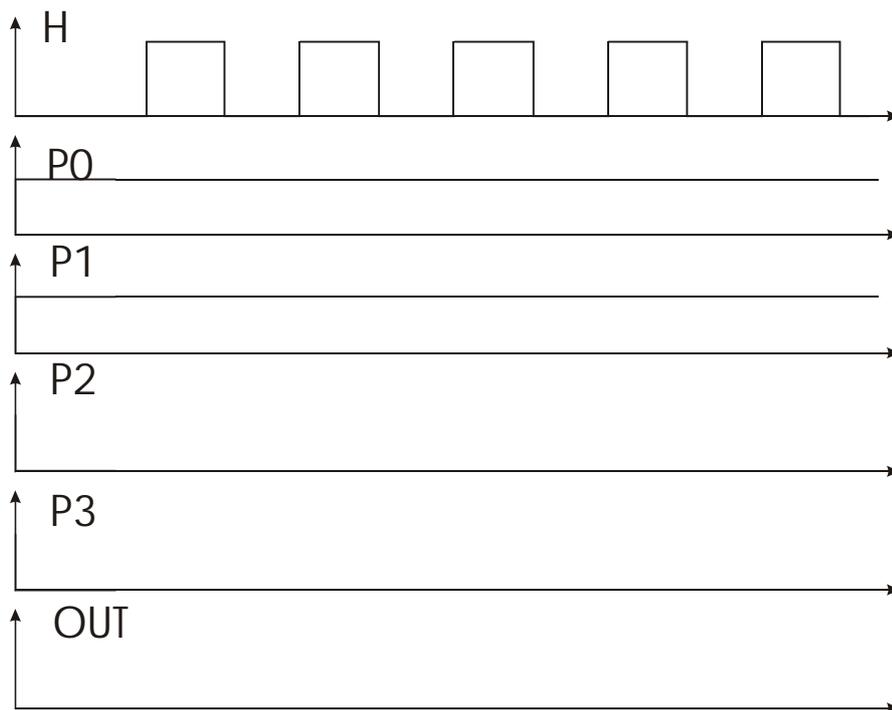
Question 3 : On positionne A0=0 et A1=1. Donner dans ces conditions les équations logiques de P0 à P3 en fonction de Ln à On où n est compris entre 0 et 3.

Question 4 : Le mot P[0..3] doit être enregistré dans le registre à décalage. Quel est l'état que doit prendre le signal MODE.

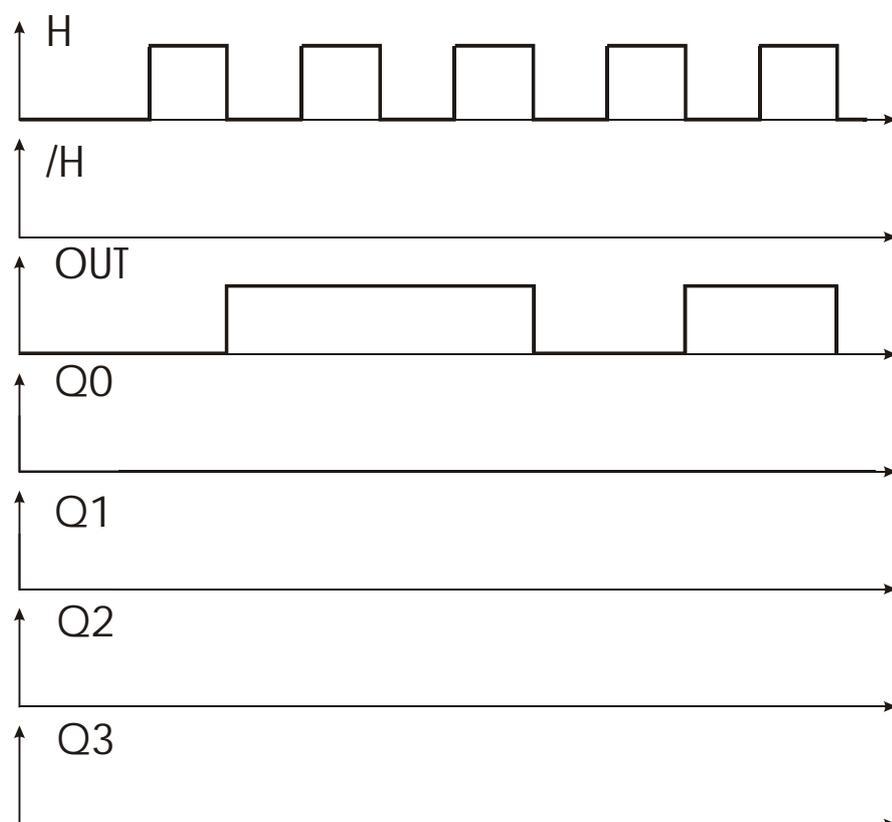
Question 5 : Le signal MODE permettant le décalage à droite des données, combien faut-il de fronts actifs d'horloge pour que la données P[0..3] soit entièrement transmises vers OUT



Question 6 : Compléter le signal OUT sur les chronogrammes ci-dessous :



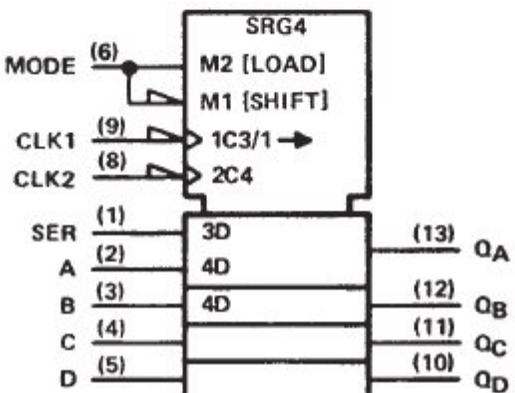
Question 7 : Compléter les chronogrammes ci-dessous :



Question 8 : Justifiez la raison pour laquelle le circuit U5A est indispensable

FUNCTION TABLE

MODE CONTROL	CLOCKS		INPUTS				OUTPUTS				
	2 (L)	1 (R)	SERIAL	PARALLEL				Q _A	Q _B	Q _C	Q _D
				A	B	C	D				
H	H	X	X	X	X	X	X	Q _{AO}	Q _{BO}	Q _{CO}	Q _{DO}
H	↓	X	X	a	b	c	d	a	b	c	d
H	↓	X	X	Q _B [†]	Q _C [†]	Q _D [†]	d	Q _{Bn}	Q _{Cn}	Q _{Dn}	d
L	L	H	X	X	X	X	X	Q _{AO}	Q _{BO}	Q _{CO}	Q _{DO}
L	X	↓	H	X	X	X	X	H	Q _{An}	Q _{Bn}	Q _{Cn}
L	X	↓	L	X	X	X	X	L	Q _{An}	Q _{Bn}	Q _{Cn}
↑	L	L	X	X	X	X	X	Q _{AO}	Q _{BO}	Q _{CO}	Q _{DO}
↓	L	L	X	X	X	X	X	Q _{AO}	Q _{BO}	Q _{CO}	Q _{DO}
↓	L	H	X	X	X	X	X	Q _{AO}	Q _{BO}	Q _{CO}	Q _{DO}
↑	H	L	X	X	X	X	X	Q _{AO}	Q _{BO}	Q _{CO}	Q _{DO}
↑	H	H	X	X	X	X	X	Q _{AO}	Q _{BO}	Q _{CO}	Q _{DO}



EVALUATION

COMBINATOIRE - REGISTRES

Durée : 1 heure - Toutes les réponses doivent être justifiées en faisant référence aux lignes des tables de vérité et/ou au schéma structurel.

La structure étudiée et présentée à la page 2 permet de transmettre des états logiques issus de modules à contacts (dip-switch) -S1 à S4- par liaison série synchrone.

Question 1:

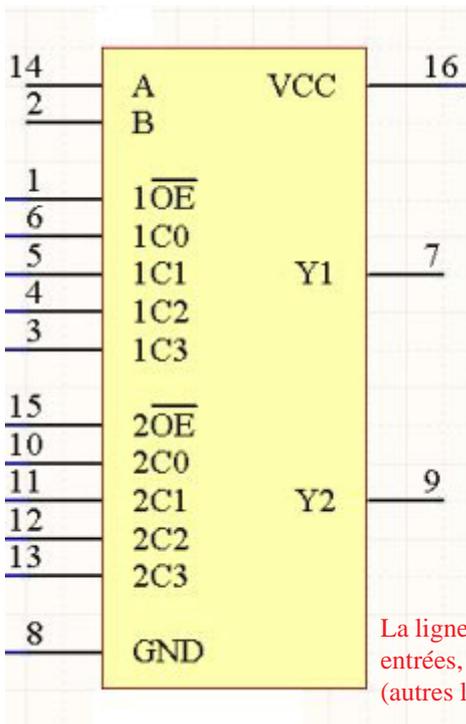
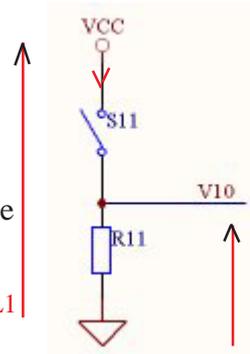
On peut simplifier la structure centrée autour d'un interrupteur de dip-switch de la manière suivante :

Donner pour chaque état de S11, l'état logique de V10. On demande une explication qui repose sur l'analyse de la maille électrique (on considère que $V_{CC}=NL1$ et $GND=NL0$).

S11 ouvert : $V10=R11.I$ or $I=0$ donc $V10=0V$ donc $NL0$

S11 fermé : $V10+VS11-V_{CC}=0$ donc $V10=V_{CC}-VS11$ or $VS11=0$ donc $V10=V_{CC} \Rightarrow NL1$

Question 2 : On souhaite rendre valide les sorties P0 à P3. En vous aidant



Function Table

Select Inputs		Data Inputs				Strobe	Output
B	A	C0	C1	C2	C3	/OE	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Select inputs A and B are common to both sections.
H - High Level, L - Low Level, X - Don't Care

La ligne 1 du tableau met en évidence que si /OE=1 quelque soit les entrées, la sortie est à 0. Pour que les entrées soient prises en compte (autres lignes du tableau) /OE doit être au NL0

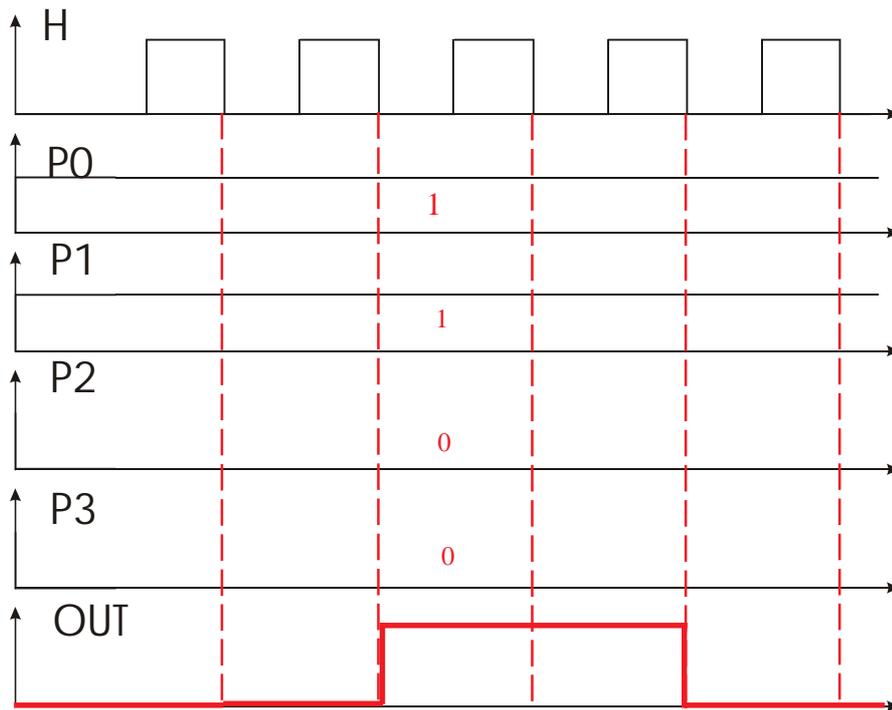
de la table de vérité du circuit 74153, définir l'état logique des entrée /OE. Compléter le schéma

Question 3 : On positionne $A0=0$ et $A1=1$. Donner dans ces conditions les équations logiques de P0 à P3 en fonction de Ln à On où n est compris entre 0 et 3. $P0=N0;P1=N1;P2=N2;P3=N3$

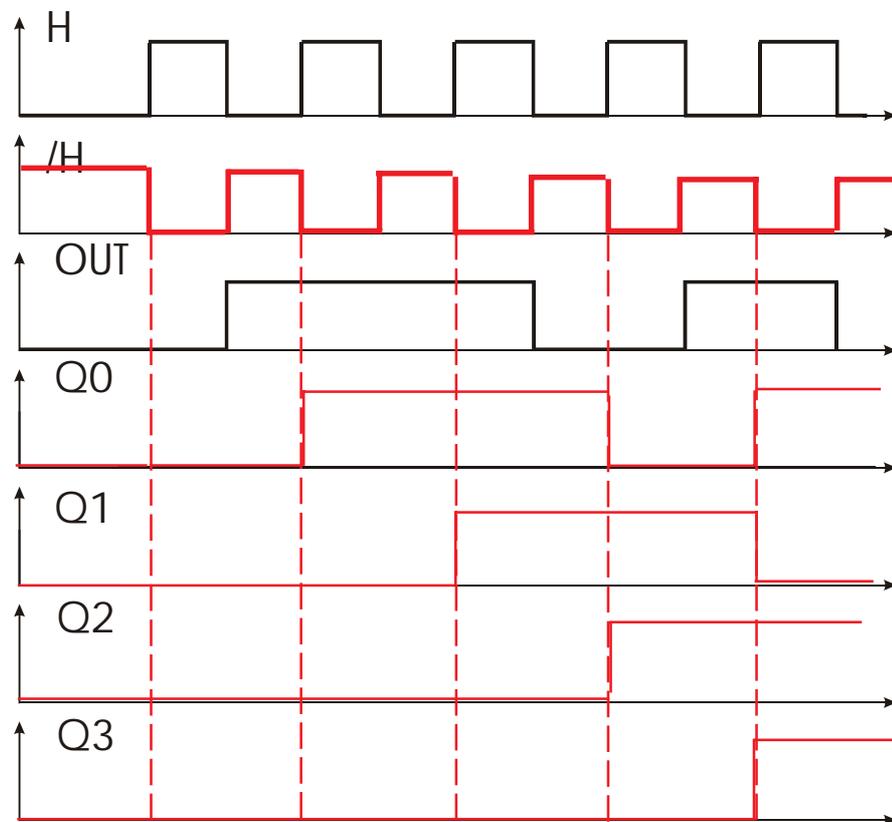
Question 4 : Le mot P[0..3] doit être enregistré dans le registre à décalage Quel est l'état que doit prendre le signal MODE. *Ligne 2 du tableau : on réalise un enregistrement parallèle donc MODE doit être à "1"*

Question 5 : Le signal MODE permettant le décalage à droite des données, combien faut-il de fronts actifs d'horloge pour que la données P[0..3] soit entièrement transmises vers OUT *Il y a 4 bits à transmettre il faut donc 4 fronts actifs du signal H*

Question 6 : Compléter le signal OUT sur les chronogrammes ci-dessous :



Question 7 : Compléter les chronogrammes ci-dessous :



Question 8 : Justifiez la raison pour laquelle le circuit U5A est indispensable

La complémentation inverse le signal H. Ainsi c'est le front descendant de /H (donc le front montant de H) qui permet l'enregistrement des données dans le registre U4. Lors du front montant de H, l'état logique de OUT est parfaitement stable car son changement est commandé par le front descendant de H (registre U3)

FUNCTION TABLE

MODE CONTROL	INPUTS						OUTPUTS				
	CLOCKS		SERIAL	PARALLEL				Q _A	Q _B	Q _C	Q _D
	2 (L)	1 (R)		A	B	C	D				
H	H	X	X	X	X	X	X	Q _{AO}	Q _{BO}	Q _{CO}	Q _{DO}
H	↓	X	X	a	b	c	d	a	b	c	d
H	↓	X	X	Q _B [†]	Q _C [†]	Q _D [†]	d	Q _{Bn}	Q _{Cn}	Q _{Dn}	d
L	L	H	X	X	X	X	X	Q _{AO}	Q _{BO}	Q _{CO}	Q _{DO}
L	X	↓	H	X	X	X	X	H	Q _{An}	Q _{Bn}	Q _{Cn}
L	X	↓	L	X	X	X	X	L	Q _{An}	Q _{Bn}	Q _{Cn}
†	L	L	X	X	X	X	X	Q _{AO}	Q _{BO}	Q _{CO}	Q _{DO}
↓	L	L	X	X	X	X	X	Q _{AO}	Q _{BO}	Q _{CO}	Q _{DO}
↓	L	H	X	X	X	X	X	Q _{AO}	Q _{BO}	Q _{CO}	Q _{DO}
†	H	L	X	X	X	X	X	Q _{AO}	Q _{BO}	Q _{CO}	Q _{DO}
†	H	H	X	X	X	X	X	Q _{AO}	Q _{BO}	Q _{CO}	Q _{DO}

